

# MANUFACTURE OF PRINTED BOARD AND MOUNTING METHOD FOR ELECTRONIC COMPONENT

Publication number: JP4092496

Publication date: 1992-03-25

Inventor: HACHIYA TOSHIHIRO; OI TERUO; MURATA KEIICHI

Applicant: HITACHI LTD

Classification:

- international: H05K3/06; H05K3/40; H05K3/42; H05K3/06; H05K3/40; H05K3/42; (IPC1-7): H05K1/18; H05K3/06; H05K3/34; H05K3/42

- european:

Application number: JP19900208197 19900808

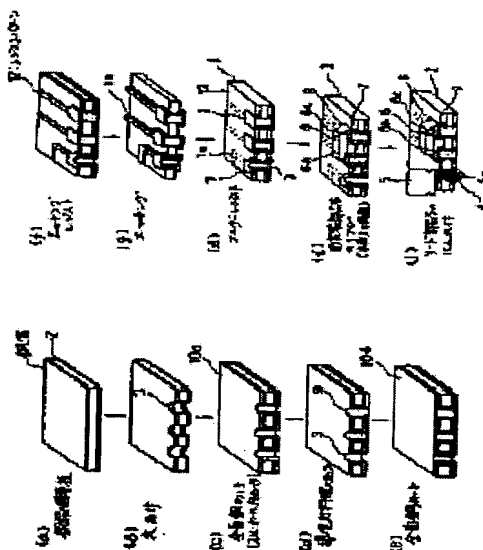
Priority number(s): JP19900208197 19900808

Report a data error here

## Abstract of JP4092496

**PURPOSE:** To mount in high density by filling a conductive material in a predetermined specific through hole, electrolessly plating an entire board, and forming lands and a wiring pattern in through hole openings and on through hole marks filled with the material.

**CONSTITUTION:** After plating catalyst such as palladium, etc., is applied to an entire board including a through hole, it is electrolessly plated to form a first layer copper-plated film 10a. A conductive material 9 is buried in a specific hole 3 by printing. It is secondly electrolessly plated to form a second layer copper-plated film 10b. A resist pattern 12 for forming a wiring pattern 1a including lands 7 is formed. With the pattern 12 as a mask the copper layer is selectively etched, and the pattern 1a including the lands 7 is formed. Further, after the pattern 12 is removed, the lands 7 necessary for connecting are removed, and the board surface is covered with solder resist 13.



**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-92496

⑬ Int.Cl.<sup>5</sup>

H 05 K 3/42  
1/18  
3/06  
3/34

識別記号

A  
S  
A

庁内整理番号

6736-4E  
6736-4E  
6921-4E

⑭ 公開 平成4年(1992)3月25日

審査請求 未請求 請求項の数 7 (全7頁)

⑮ 発明の名称 プリント基板の製造方法と電子部品の実装方法

⑯ 特 願 平2-208197

⑰ 出 願 平2(1990)8月8日

⑱ 発 明 者 八 矢 登 志 広 茨城県勝田市大字稲田1410番地 株式会社日立製作所東海工場内  
⑱ 発 明 者 大 井 輝 男 茨城県勝田市大字稲田1410番地 株式会社日立製作所東海工場内  
⑱ 発 明 者 村 田 啓 一 茨城県勝田市大字稲田1410番地 株式会社日立製作所東海工場内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 薄田 利幸 外1名

明 細 書

1. 発明の名称

プリント基板の製造方法と電子部品の実装方法

2. 特許請求の範囲

1. 絶縁基材の両面に導体箔を張りあわせた基板を準備する工程と、この基板に所定口径の貫通孔からなるスルーホールを設ける工程と、少なくとも前記スルーホール内にめっき触媒を付与する工程と、前記スルーホール中の予め予定された特定スルーホール内に導電材料を充填する工程と、残されたスルーホール内を含み基板全面に無電解めっきを施す工程と、前記スルーホール開口部及び導電材料の充填されたスルーホール跡にそれぞれランドを、そしてランドに接続された配線パターンを形成するためのレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記導体箔を選択的にエッチングする工程と、前記レジストマスクを除去する工程とを有して成るプリント基板の製造

方法。

2. 絶縁基材の両面に導体箔を張りあわせた基板を準備する工程と、この基板に所定口径の貫通孔からなるスルーホールを設ける工程と、少なくとも前記スルーホール内にめっき触媒を付与する工程と、スルーホール内を含み基板全面に無電解めっき処理を施し、第1のめっき膜を形成する工程と、前記スルーホール中の予め予定された特定スルーホール内に導電材料を充填する工程と、残されたスルーホール内を含み基板全面にめっき処理を施し、第2のめっき膜を形成する工程と、前記スルーホール開口部及び導電材料の充填されたスルーホール跡にそれぞれランドを、そしてランドに接続された配線パターンを形成するためのレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記めっき膜が積層された導体箔を選択的にエッチングして、配線パターンを形成する工程と、前記レジストマスクを除去する工程とを有して成るプリント基板の製造方法。

3. 上記絶縁基材の両面に導体箔を張りあわせる代わりに絶縁基材の表面に後の工程で形成されるめっき膜と基材との接着性を良くするための接着剤塗布処理を施した基板を準備する工程として成る請求項1もしくは2記載のプリント基板の製造方法。
4. 上記第2のめっき膜を形成する工程のめっき処理を、電解めっき、もしくは無電解めっき処理として成る請求項2もしくは3記載のプリント基板の製造方法。
5. 上記レジストマスクを除去する工程の後に、ランド上及びスルーホール内を除き基板全面にソルダーレジストを形成する工程を付加して成る請求項1乃至4何れか記載のプリント基板の製造方法。
6. 請求項1乃至5記載のプリント基板の製造方法に引き続き、上記スルーホールにはリード部品のリードを、導電材料の充填されたスルーホール跡のランド上には面付け部品を搭載、配置し、それぞれはんだ接続する工程を含むリード

部品の実装においては、リード部品5のようにリード5aを有するものについては、それをスルーホール内に挿入して、例えばはんだリフロー等により基板にはんだ付けされる。また、半導体LSIのようにリードを持たないチップ部品(面付け部品とも云う)6については、基板表面の配線パターンのはんだ付けランド7にチップ部品の接続端子6aがペーストはんだにより接続される。そして、チップ部品6が実装される周辺や下部のスルーホール内には、予め基材2と同材質の絶縁物の表面に金属めっきを施したチップが埋め込まれたり、導電ペーストが埋め込まれる場合もある。

なお、この種のプリント配線基板に関するものとしては、例えば特公昭61-35720号公報が挙げられる。

#### 【発明が解決しようとする課題】

上述の通り、プリント基板に部品を搭載するに際しては、リード部品とチップ部品とを混載して実装することが多く、また、実装密度が大きくなればなるほどプリント基板に設けられるスルーホ

部品と面付け部品とが混載された電子部品の実装方法。

7. 上記部品のはんだ接続工程を、面付け部品の接続と、リード部品の接続とをそれぞれ異なる融点のはんだで2段階に分割してはんだ接続する工程として成る請求項6記載の電子部品の実装方法。

#### 3. 発明の詳細な説明

##### 【産業上の利用分野】

本発明は、表裏両面に実装可能な配線パターンを有するプリント基板の製造方法とそれを用いた電子部品の実装方法に係り、特に高密度実装に好適なプリント基板の製造方法とそれを用いた電子部品の実装方法に関する。

##### 【従来の技術】

従来の両面実装用プリント基板においては、一般的な配線パターンの接続方法として、第7図にその断面図を示すように、スルーホール3により基板1の両面に設けられた配線パターン1aを電気的に接続する構造と成っている。そして、電子

ールの数も多くなり、それだけ配線パターンに占めるスルーホールの面積も増大し、チップ部品の搭載に支障を来していた。つまり、チップ部品は、基板表面の配線パターンのはんだ付けランド7にその接続端子6aがペーストはんだにより接続されるが、その際、接続直下にこのスルーホールが存在するとこれを導体で埋込み、ここに安定した接続を形成する必要がある。この埋込み方法として従来の絶縁物の表面に金属めっきを施したチップを埋め込んだり、導電ペーストを埋め込んだりするものは、いずれも実用的でなかった。

即ち、前者においては、高密度実装になるほどチップの埋込みが困難となり、後者においては第7図の左の端子6aに見られるようにペーストはんだ8がスルーホール内3に沈むため、はんだ付け不良が発生するという問題があった。

上記いずれの方法においてもチップ部品6の接続は、導電ペーストにより接続部のみをスポット的に行うものであり、接続部のはんだ付性については考慮されていない。

したがって、本発明の目的は、これら従来の問題を解消することにある。その第1の目的は、リード部品とチップ部品とを混載して高密度に実装することができるように、スルーホールを実用的に改良された手段で埋め込み、この埋め込まれた跡のスルーホール部上にも他の配線パターンと同様に、はんだ付けランドを形成してチップ部品をはんだ付けすることのできるプリント基板の製造方法を、そして第2の目的は、このプリント基板の製造方法により得られた基板を用いた電子部品の実装方法を、それぞれ提供することにある。

【課題を解決するための手段】

上記本発明の第1の目的は、

(1)、絶縁基材の両面に導体箔を張りあわせた基板を準備する工程と、この基板に所定口径の貫通孔(スルーホール)を設ける工程と、少なくとも前記スルーホール内にめっき触媒を付与する工程と、前記スルーホール中の予め予定された特定スルーホール内に導電材料を充填する工程と、残されたスルーホール(導電材料を充填しないスルーホール)

めっき膜を形成する工程と、前記スルーホール開口部及び導電材料の充填されたスルーホール跡にそれぞれランドを、そしてランドに接続された配線パターンを形成するためのレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記めっき膜が積層された導体箔を選択的にエッチングして、配線パターンを形成する工程と、前記レジストマスクを除去する工程とを有して成るプリント基板の製造方法により、達成される。

さらに好ましくは、

(3)、上記(1)もしくは(2)記載の絶縁基材の両面に導体箔を張りあわせる代わりに、絶縁基材の表面に後の工程で形成されるめっき膜と基材との接着性を良くするための接着剤塗布処理を施した基板を準備する工程として成るプリント基板の製造方法により、達成される。つまり、この製造方法が上記(1)もしくは(2)のそれと異なるところは、絶縁基材の両面に導体箔を張りあわせた基板を使用する代わりに、絶縁基材のスルーホール内の導体めっき処理を兼ねてその両面に一体的に導

ル)内を含み基板全面に無電解めっきを施す工程と、前記スルーホール開口部及び導電材料の充填されたスルーホール跡にそれぞれランドを、そしてランドに接続された配線パターンを形成するためのレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記導体箔を選択的にエッチングする工程と、前記レジストマスクを除去する工程とを有して成るプリント基板の製造方法により、達成される。

そして、好ましくは、

(2)、絶縁基材の両面に導体箔を張りあわせた基板を準備する工程と、この基板に所定口径の貫通孔(スルーホール)を設ける工程と、少なくとも前記スルーホール内にめっき触媒を付与する工程と、スルーホール内を含み基板全面に無電解めっき処理を施し、第1のめっき膜を形成する工程と、前記スルーホール中の予め予定された特定スルーホール内に導電材料を充填する工程と、残されたスルーホール(導電材料を充填しないスルーホール)内を含み基板全面にめっき処理を施し、第2のめ

体めっき層を形成する点にある。また、

(4)、上記(2)もしくは(3)記載の第2のめっき膜を形成する工程のめっき処理としては、電解めっき処理、無電解めっき処理の何れでもよいが、絶縁基材の両面に導体箔を張りあわせた基板を使用する場合には、無電解めっき処理が実用的である。また、導体箔を張りあわせていない基板を使用する場合には、配線導体として必要な厚みを確保するために電解めっき処理とした方が析出速度(めっき速度)が早く実用的である。

さらにまた、好ましくは、

(5)、上記(1)乃至(4)何れか記載のレジストマスクを除去する工程の後に、部品接続に必要なランド上及びスルーホール内を除き基板全面にソルダーレジストを形成する工程を付加して成るプリント基板の製造方法により、達成される。

上記導電材料としては、スルーホール内への充填のし易さから、例えば銀ペーストや銅ペースト等の導電性ペーストが実用的である。また、充填方法としては、印刷によることが容易で望ましい。

上記導体箔としては、通常良く使用されている銅箔が、また、めっき処理としては、無電解銅めっき処理、もしくは電解銅めっき処理が実用的で好ましい。

さらにまた、ソルダーレジストとしては、市販の例えばエポキシ樹脂系、もしくはポリイミド系等の耐熱性樹脂が使用される。

上記本発明の第2の目的は、

(6)、上記(1)乃至(5)記載のプリント基板の製造方法に引き続き、上記スルーホールにはリード部品のリードを、導電材料の充填されたスルーホール跡のランド上には面付け部品を搭載、配置し、それぞれはんだ接続する工程を含むリード部品と面付け部品とが混載された電子部品の実装方法により、達成される。そして好ましくは、

(7)、上記部品のはんだ接続工程を、面付け部品の接続と、リード部品の接続とをそれぞれ異なる融点のはんだで2段階に分割してはんだ接続する工程とすることが望ましい。即ち、面付け部品の接続用はんだを、リード部品のそれより高融点の

されるので部品の接続性がよい。つまり、面付け部品の接続は、めっき膜ランドで行われる。そして、スルーホール内に埋め込まれた導電性材料は、このめっき膜ランドで封じられた構造を有するため、はんだ接続時に流出したり、スルーホール内に沈んで接続不良を起す恐れがない。

さらにまた、このランド形成のためのめっき膜の形成及びその後の選択的エッチングによるランドパターンの形成は、スルーホール内壁を含む基板両面をめっきし、このめっき膜に必要な配線パターンを形成する一連の工程の中で行われるため、特別の工程を設ける必要もない。

#### 【実施例】

以下、図面に示した工程図により、本発明の一実施例を説明する。

#### 実施例1。

第1図は、従来のプリント基板の製法と同様の方法で、スルーホール3に第1層目の銅めっき膜10a形成した後、導電性材料9を所定のスルーホール3内に埋込み、その後第2層目のめっき膜

ものとしてリード部品よりも先に接続するか、或いは、この逆となるが、実用的には前者が好ましい。

#### 【作用】

本発明による特定のスルーホール内への導電性材料の埋め込みは、スルーホールを基板に設けた後、めっき処理前に直ちに埋め込むか、もしくは基板表面全域(貫通しているスルーホールの内壁を含む)にわたり無電解めっきにより、例えば銅めっき膜を形成した後に埋め込むかの2通りの方法がある。勿論この導電性材料を埋め込んだ後には、貫通しているスルーホールの内壁を含む基板全面に必ず無電解めっき処理によりめっき膜を形成するのであるが、その後の配線パターンの形成工程において、この導電性材料の埋め込まれたスルーホールの跡には、めっき膜のランド(面付けチップの接続電極となる)が形成される。したがってこのランドは、スルーホールが設けられていない領域に形成されるランドと同一の配線パターン形成プロセスで、しかも同じ銅めっき膜で形成

膜10bを形成し、その後選択的エッチング処理により基板1の両面にランド7を含む配線パターン1aを形成した構成を示した基板要部の断面図である。以下、第2図の工程図により、さらに具体的に説明する。

第2図は、周知のサブトラクティブ工法によるプリント基板の製法に従って製造する様子を示したもので、

同図(a)は、絶縁基材2に両面銅張りされた基板を準備する工程、

同図(b)は、ドリルで貫通孔3を設けるスルーホール形成工程、

同図(c)は、スルーホール内を含む基板全面にパラジウム等のめっき触媒を付与した後に、無電解銅めっきを施すことにより第1層目の銅めっき膜10a形成する工程、

同図(d)は、特定のスルーホール3内に導電材料(銀ペーストや銅ペースト等)9を印刷により埋め込む工程、

同図(e)は、2度目の無電解銅めっきを施すこ

とにより第2層目の銅めっき膜10b形成する工程。

同図(f)は、ランド7を含む配線パターン1aを形成するためのレジストパターン12を形成する工程。

同図(g)は、レジストパターン12をマスクとして銅層を選択的にエッチングし、ランド7を含む配線パターン1aを形成する工程を、それぞれ示したものである。

以上、ここまでの工程で基本的なプリント基板の製造工程は終了するが、好ましくは次ぎの工程に継続される。

同図(h)は、レジストパターン12を除去した後、接続に必要なランド7(スルーホール3を含む)を除き、周知のソルダーレジスト13で基板表面を被覆する工程を示す。これで、本実施例によるプリント基板の製造工程は終了した。

次に、この製造工程に引き続き、得られた基板1に電子部品を搭載し、はんだ接続する実装工程について説明する。

程、

同図(b)は、ドリルで貫通孔3を設けるスルーホール形成工程(第2図と同じ)。

同図(c)は、スルーホール内を含む基板全面にパラジウム等のめっき触媒を付与した後に、無電解銅めっきを施すことにより第1層目の銅めっき膜10aを形成する工程(第2図と同じ)。

同図(d)は、特定のスルーホール3内に導電材料(銀ペーストや銅ペースト等)9を印刷により埋め込む工程(第2図と同じ)。

同図(e)は、2度目のめっき工程であるが、この場合には電解めっきにより配線導体として必要とされる十分な厚さの銅めっき膜10bを形成する工程。以下、同図(f)～同図(j)までの工程は、第2図と同一なので省略する。このようにして、前記実施例1の場合と同様に高密度実装に好適なプリント基板を製造することができた。

実施例3。

第4図は、実施例2の第3図と類似の製法であるが、第3図(c)の、スルーホール内を含む基板

同図(i)は、面実装部品6としてLSIチップを搭載し、その接続端子6aをスルーホールが導電材料により埋め込まれてその上に形成されたランド7にはんだリフローにより接続する工程。

同図(j)は、さらにリード部品5を搭載し、リード5aをスルーホール内に挿入して同じくはんだ接続する工程を、それぞれ示したものである。

なお、使用したはんだは、リード部品5のものよりも面実装部品6のものを高融点とし、リード部品5の接続時に面実装部品6の接続が損なわれないようにした。このようにして面実装部品6とリード部品5とが混載され高密度実装に好適なプリント基板を製造することができた。

実施例2。

第3図は、第2図のサブトラクティブ工法の代わりに周知のアディティブ工法によるプリント基板の製法に従って製造する例を示したものである。

同図(a)は、絶縁基材2上に後のめっき工程で形成されるめっき膜が強固に接着するように下地処理として施された接着剤塗布基板を準備する工

全面にパラジウム等のめっき触媒を付与した後に、無電解銅めっきを施すことにより第1層目の銅めっき膜10aを形成する工程(第2図と同じ)と、同図(d)の、特定のスルーホール3内に導電材料(銀ペーストや銅ペースト等)9を印刷により埋め込む工程(第2図と同じ)との順序を入れ替え逆の順序として製造した場合の要部断面図を示したものである。この場合は、図面を省略したが導電材料9を埋め込んだ後にスルーホール内を含む基板全面にめっき膜10aが形成される。そして、このめっき膜10aにランド7を含む配線パターン1aを形成したものである。

第5図は、この第4図の構成を有する基板に、前記実施例1の第2図(i)及び第2図(j)と同様の工程で面実装部品6とリード部品5とを混載、実装したものである。前記いずれの実施例とも同様に高密度実装に好適なプリント基板を製造することができた。

【発明の効果】

以上詳述したように本発明によれば、面実装部

品とリード部品とを高密度に混載、実装することができるようになった。すなわち、プリント基板の製造方法においては、高密度実装のためにスルーホールを沢山設けても、面実装に必要な接続領域のスルーホールについては、容易に導体で埋込み電極接続ランドとすることができるようになった。また、実装においては、特に面実装部品の搭載において、スルーホールが埋め込まれて形成されたランドが、めっき膜で構成されているため部品のはんだ接続性が良く、信頼性の高い実装を実現することができるようになった。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例となるプリント基板の断面図、第2図は同じく一工程図を示す断面斜视图、第3図は同じく他の工程図を示した断面斜视图、第4図は同じく他の実施例を示すプリント基板の断面図、第5図は同じく他の実施例を示す実装断面図、そして第6図は従来のプリント基板の部品実装断面図である。

<符号の説明>

- 1…基板、
- 1 a…配線パターン、
- 2…絶縁基材、
- 3…スルーホール、
- 4…はんだ、
- 5…リード部品、
- 6…面付け部品(チップ部品)、
- 7…はんだ付けランド、
- 8…ペーストはんだ、
- 9…導電性材料、
- 10…めっき銅、
- 11…接続穴、
- 12…レジストパターン、
- 13…溶剤レジスト、

代理人弁理士 藤田利幸

1a…配線パターン

2…基材

3…スルーホール

4…はんだ

5…リード部品

6…チップ部品

7…はんだ付けランド

8…ペーストはんだ

9…導電性材料

10…めっき銅

11…接続穴

1…基板

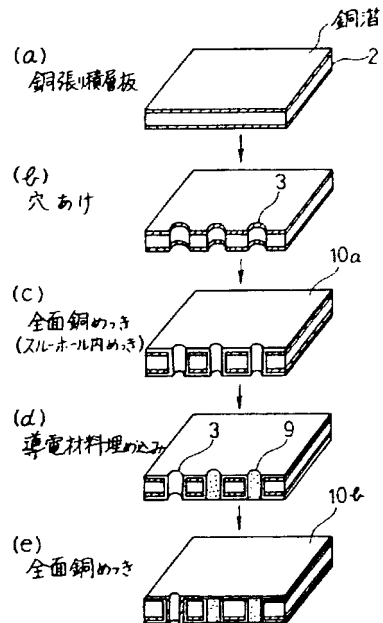
5a…リード

6a…チップ部端子

第1図

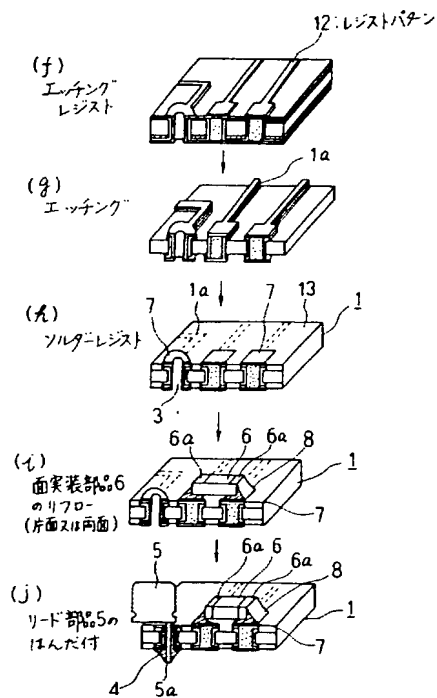
第4図

第5図

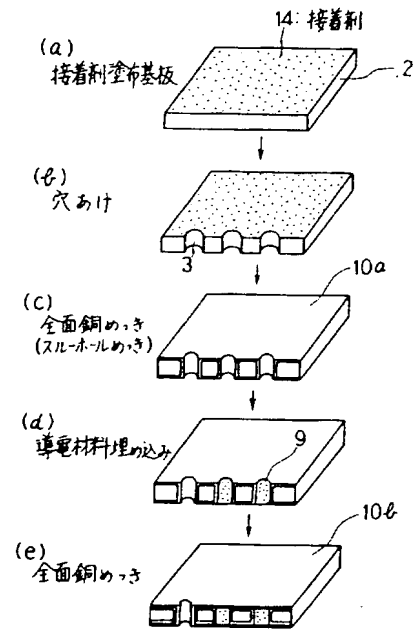


第2図の1

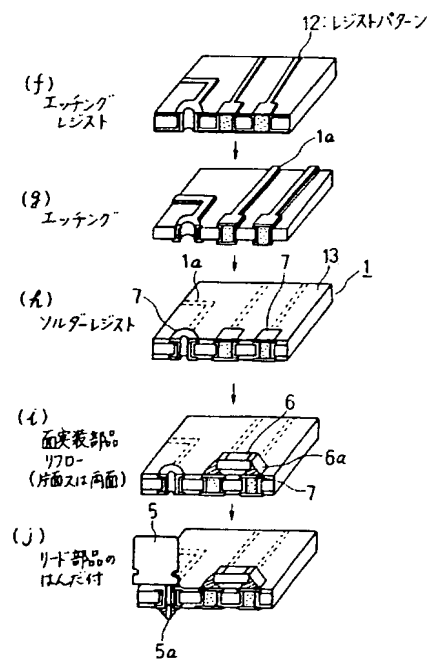




第 2 図の 2

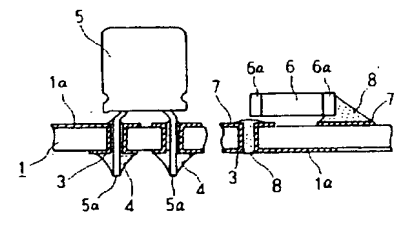


第 3 図の 1



第 3 図の 2

- 1a...配線パターン
- 2...基 材
- 3...スルーホール
- 4...はんだ
- 5...リード部品
- 6...チップ部品
- 7...はんだ付ランド
- 8...ペーストはんだ
- 9...導電性材料
- 10...めっき銅
- 11...接続穴
- 1...基板
- 5a...リード
- 6a...チップ部品端子



第 6 図

THIS PAGE BLANK (USPTO)